

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-281882

(P2003-281882A)

(43) 公開日 平成15年10月3日 (2003. 10. 3)

(51) Int.Cl.⁷

G 1 1 C 11/22

識別記号

5 0 1

F I

G 1 1 C 11/22

テマコード (参考)

5 0 1 F

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願2002-327821(P2002-327821)

(22) 出願日 平成14年11月12日 (2002. 11. 12)

(31) 優先権主張番号 2 0 0 1 - 7 1 8 4 1

(32) 優先日 平成13年11月19日 (2001. 11. 19)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 カン, ヒー・ボック

大韓民国・テジョン・シ・ソーク・トマ
2-ドン・番地なし・キョンナム アパー
トメント・109-203

(74) 代理人 100064621

弁理士 山川 政樹

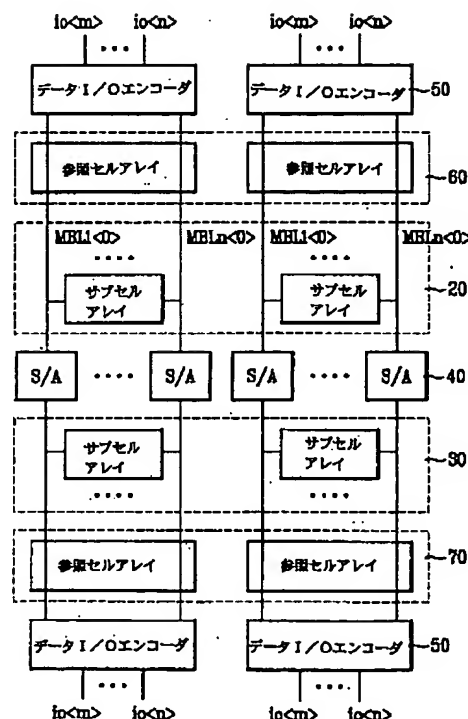
最終頁に続く

(54) 【発明の名称】 不揮発性強誘電体メモリ装置及びその駆動方法

(57) 【要約】

【課題】 一つのメモリセルが従来の複数個のメモリセルの役割を果たすようにすることで、チップサイズを減らすと共に、チップのコスト競争力を高められるようにした不揮発性強誘電体メモリ装置及びその駆動方法を提供する。

【解決手段】 上部と下部とに分けて構成される第1セルアレイブロック及び第2セルアレイブロックと、前記第1, 第2セルアレイブロックの間に各マルチビットライン当たり一つずつ配列されるセンスアンプと、前記各マルチビットラインの両先端にデータバスと連結され、前記センスアンプの出力をエンコーディングしてマルチビット信号を出力するデータI/Oエンコーダと、前記第1, 第2セルアレイブロックとデータI/Oエンコーダとの間に配列される第1, 第2参照セルアレイブロックとから構成されることを特徴とする。



【特許請求の範囲】

【請求項1】 上部と下部とに分けて構成される第1セルアレイブロック及び第2セルアレイブロックと、前記第1、第2セルアレイブロックの間に各マルチプルビットライン当たり一つずつ配列されるセンスアンプと、

前記各マルチプルビットラインの両先端にデータバスと連結され、前記センスアンプの出力をエンコーディングしてマルチビット信号を出力するデータI/Oエンコーダと、

前記第1、第2セルアレイブロックとデータI/Oエンコーダとの間に配列される第1、第2参照セルアレイブロックと、から構成されることを特徴とする不揮発性強誘電体メモリ装置。

【請求項2】 前記第1、第2セルアレイブロックはサブビットラインと第1、第2、第3マルチプルビットラインとから構成されるビットラインと、

前記第1、第2、第3マルチプルビットラインにそれぞれ連結され、外部の制御信号によってそれぞれ活性化され、前記サブビットラインと第1、第2、第3マルチプルビットラインとを選択的に連結するスイッチング制御ブロックと、を含むことを特徴とする請求項1記載の不揮発性強誘電体メモリ装置。

【請求項3】 前記スイッチング制御ブロックは第1、第2、第3、第4NMOSTランジスターが直列に連結され構成されることを特徴とする請求項2記載の不揮発性強誘電体メモリ装置。

【請求項4】 前記第2、第3、第4NMOSTランジスターのソースはサブビットラインに連結され、ドレインはそれぞれ第1、第2、第3マルチプルビットラインに連結され、各ゲートには独立的な制御信号が印加されることを特徴とする請求項3記載の不揮発性強誘電体メモリ装置。

【請求項5】 前記第1NMOSTランジスターはサブビットラインにドレインが連結され、ソースに供給する電源を調整する信号が印加され、ゲートにサブビットラインプルダウン信号が印加されることを特徴とする請求項3記載の不揮発性強誘電体メモリ装置。

【請求項6】 前記第1NMOSTランジスターは、サブビットラインプルダウン信号を受けて、サブビットラインをグラウンドレベル或いはハイレベルに調整することを特徴とする請求項3記載の不揮発性強誘電体メモリ装置。

【請求項7】 前記第1NMOSTランジスターのソースに印加される電源を調整する信号は、低電圧で高電圧を発生する時にVcc電圧より高い電圧を生成して供給することを特徴とする請求項3記載の不揮発性強誘電体メモリ装置。

【請求項8】 サブビットラインSBLと一定の間隔を有して形成される第1、第2、第3マルチプルビットラ

インMBL1、MBL2、MBL3から構成されるビットラインと、前記第1、第2、第3マルチプルビットラインにそれぞれ連結され、外部の制御信号SBSW1、SBSW2、SBSW3にそれぞれ活性化され、前記サブビットラインと第1、第2、第3マルチプルビットラインとを選択的に連結する第1、第2、第3スイッチング制御ブロックと、前記サブビットラインにドレインが連結され、ゲートに外部のサブビットラインプルダウン信号SBPDが印加され、ソースにサブビットラインの電源を調整する信号BLPWRが印加されるプルダウンスイッチングブロックとを含むことを特徴とする不揮発性強誘電体メモリ装置の駆動方法において、前記サブビットラインに印加されるライト電圧レベルを低電圧レベルから高電圧レベルの順にサブビットラインに印加して、セルデータを格納することを特徴とする不揮発性強誘電体メモリ装置の駆動方法。

10

20

30

40

50

【請求項9】 サブビットラインSBLと一定の間隔を有して形成される第1、第2、第3マルチプルビットラインMBL1、MBL2、MBL3から構成されるビットラインと、前記第1、第2、第3マルチプルビットラインにそれぞれ連結され、外部の制御信号SBSW1、SBSW2、SBSW3にそれぞれ活性化され、前記サブビットラインと第1、第2、第3マルチプルビットラインとを選択的に連結する第1、第2、第3スイッチング制御ブロックと、前記サブビットラインにドレインが連結され、ゲートに外部のサブビットラインプルダウン信号SBPDが印加され、ソースにサブビットラインの電源を調整する信号BLPWRが印加されるプルダウンスイッチングブロックとを含むことを特徴とする不揮発性強誘電体メモリ装置の駆動方法において、前記スイッチング制御ブロックを制御する外部の制御信号を用いて複数の時間区間に分け、該区間から発生した電荷を第1、第2、第3マルチプルビットラインにそれぞれ分散させてそれぞれのレベルを検出することを特徴とする不揮発性強誘電体メモリ装置の駆動方法。

【請求項10】 前記第1、第2、第3マルチプルビットラインが全て活性化されると、2ビットデータは11を出力することを特徴とする請求項9記載の不揮発性強誘電体メモリ装置の駆動方法。

【請求項11】 前記第1、第2、第3マルチプルビットラインの中二つのマルチプルビットラインのみが活性化されると、2ビットデータは10を出力することを特徴とする請求項9記載の不揮発性強誘電体メモリ装置の駆動方法。

【請求項12】 前記第1、第2、第3マルチプルビットラインの中一つのマルチプルビットラインが活性化されると、2ビットデータは01を出力することを特徴とする請求項9記載の不揮発性強誘電体メモリ装置の駆動方法。

【請求項13】 前記第1、第2、第3マルチプルビッ

トラインが全て不活性化されると、2ビットデータは00を出力することを特徴とする請求項9記載の不揮発性強誘電体メモリ装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性強誘電体メモリ装置に係り、特に、一つのメモリセルに4つ以上のデータレベルを格納してマルチプルビットを実現することができる不揮発性強誘電体メモリ装置及びその駆動方法に関する。

【0002】

【従来の技術】一般的に不揮発性強誘電体メモリ、つまりFRAM (Ferroelectric Random Access Memory)はDRAM (Dynamic Random Access Memory)程度のデータ処理速度を有し、電源のオフ時にもデータが保存される特性のため次世代記憶素子として注目を浴びている。FRAMはDRAMとはほぼ同一構造を有する記憶素子であって、キャパシタの材料として強誘電体を使用して強誘電体の特性である高い残留分極を用いたものである。このような残留分極の特性のため電界を除去してもデータが保存される。

【0003】図1は一般的な強誘電体のヒステリシスループを示す特性図である。図1に示すように、電界により誘起された分極が電界を除去しても残留分極（又は自発分極）の存在によって消滅されず、一定量（d, a状態）を維持していることが分かる。不揮発性強誘電体メモリセルは前記d, a状態をそれぞれ1, 0に対応させ記憶素子として応用したものである。

【0004】図2は従来の不揮発性強誘電体メモリの単位セル構成図を示すものである。図2に示すように、一方向に形成されるビットラインB/Lと、そのビットラインと交差する方向に形成されるワードラインW/Lと、ワードラインに一定の間隔をおいてワードラインと同一の方向に形成されるプレートラインP/Lと、ゲートがワードラインに連結され、ソースは前記ビットラインに連結されるトランジスタT1と、2端子中第1端子はトランジスタT1のドレインに連結され、第2端子はプレートラインP/Lに連結される強誘電体キャパシタFC1とで構成されている。

【0005】このように構成された従来の不揮発性強誘電体メモリ装置のデータ入/出力動作を以下に説明する。図3aは従来の不揮発性強誘電体メモリ素子のライトモードの動作を示すタイミング図であり、図3bはリードモードの動作を示すタイミング図である。まず、ライトモードの場合、図3aに示すように、外部から印加されるチップイネーブル信号CSBpadが「ハイ」から「ロー」に活性化され、同時にライトイネーブル信号WEBpadが「ハイ」から「ロー」に印加すると、ライトモードが始まる。次いで、ライトモードでのアドレスデコードが始まると、ワードラインに印加されるバ

ルスは「ロー」から「ハイ」に遷移され、セルが選択される。

【0006】このように、ワードラインが「ハイ」状態を維持している間にプレートラインには順に所定幅の「ハイ」信号と所定幅の「ロー」信号が印加される。そして、選択されたセルにロジック値「1」又は「0」を書くために、ビットラインにライトイネーブル信号WEBpadに同期した「ハイ」又は「ロー」信号を印加する。すなわち、ビットラインに「ハイ」信号を印加し、ワードラインに印加される信号が「ハイ」状態である期間でプレートラインの信号が「ロー」に遷移されたとき、強誘電体キャパシタにはロジック値「1」が記録される。そして、ビットラインに「ロー」信号を印加すると、プレートラインに印加される信号が「ハイ」信号のとき、強誘電体キャパシタにはロジック値「0」が記録される。

【0007】このようなライトモードの動作によりセルに格納されたデータを読み出すための動作は以下の通りである。図3bに示すように、外部からチップイネーブル信号CSBpadが「ハイ」から「ロー」に活性化されると、ワードラインが選択される以前に全てのビットラインは等化器信号によって「ロー」電圧に等電位化される。

【0008】そして、各ビットラインを不活性化させた後アドレスをデコードし、デコードされたアドレスによってワードラインの「ロー」信号が「ハイ」信号に遷移されセルが選択される。選択されたセルのプレートラインに「ハイ」信号を印加すると、強誘電体キャパシタ（F1）に格納されたロジック値「1」に対応するデータを破壊させる。もし、強誘電体キャパシタ（F1）にロジック値「0」が格納されていれば、それに対応するデータは破壊されない。

【0009】このように、破壊されたデータと破壊されていないデータは前述したヒステリシスループの原理によって異なる値を出力し、センスアンプはロジック値「1」又は「0」をセンシングする。すなわち、データが破壊された場合は、図1のヒステリシスループのdからfに変更される場合であり、データが破壊されていない場合は、aからfに変更される場合である。したがって、一定の時間が経過した後センスアンプがイネーブルすると、データが破壊された場合は増幅されロジック値「1」を出力し、データが破壊されていない場合はロジック値「0」を出力する。

【0010】このように、センスアンプからデータを出力した後に、それぞれのセルは元のデータに戻らなければならないので、ワードラインに「ハイ」信号を印加した状態でプレートラインを「ハイ」から「ロー」に不活性化させる。

【0011】

【発明が解決しようとする課題】しかしながら、上記の

ような従来の不揮発性強誘電体メモリセルは、全てのセルにデータレベルを格納するため、チップサイズを減らすに限界があり、チップのコスト競争力を確保し難いという問題がある。

【0012】そこで、本発明の目的は、一つのメモリセルが従来の複数のメモリセルの役割を果たすようにすることで、チップサイズを減らすと共に、チップのコスト競争力を高めるようにした不揮発性強誘電体メモリ装置及びその駆動方法を提供することにある。

【0013】

【課題を解決するための手段】このような目的を達成するための本発明による不揮発性強誘電体メモリ装置は、上部と下部とに分けて構成される第1セルアレイブロック及び第2セルアレイブロックと、前記第1、第2セルアレイブロックの間に各マルチプルビットライン当たり一つずつ配列されるセンスアンプと、前記各マルチプルビットラインの両先端にデータバスと連結され、前記センスアンプの出力をエンコーディングしてマルチビット信号を出力するデータI/Oエンコーダと、前記第1、第2セルアレイブロックとデータI/Oエンコーダとの間に配列される第1、第2参照セルアレイブロックとから構成されることを特徴とする。

【0014】また、上記目的を達成するための不揮発性強誘電体メモリ装置の駆動方法は、サブビットラインSBLと一定の間隔を有して形成される第1、第2、第3マルチプルビットラインMBL1、MBL2、MBL3から構成されるビットラインと、前記第1、第2、第3マルチプルビットラインにそれぞれ連結され、外部の制御信号SBSW1、SBSW2、SBSW3にそれぞれ活性化され、前記サブビットラインと第1、第2、第3マルチプルビットラインとを選択的に連結する第1、第2、第3スイッチング制御ブロックと、前記サブビットラインにドレインが連結され、ゲートに外部のサブビットラインプルダウン信号SBPDが印加され、ソースにサブビットラインの電源を調整する信号BLPWRが印加されるプルダウンスイッチングブロックとを含むことを特徴とする不揮発性強誘電体メモリ装置の駆動方法において、前記サブビットラインに印加されるライト電圧レベルを低電圧レベルから高電圧レベルの順にサブビットラインに印加して、セルデータを格納することを特徴とする

【0015】

【発明の実施の形態】以下、本発明の実施形態を図面に沿って詳細に説明する。

【0016】図4は本発明によるマルチビット機能を有する不揮発性強誘電体メモリ装置の構成図である。図4に示すように、上部と下部とに分けて構成される第1セルアレイブロック20及び第2セルアレイブロック30と、前記第1、第2セルアレイブロック20、30の間に各マルチプルビットライン(MBLn)当たり一つずつ

つ配列されるセンスアンプ(S/A)40と、前記各マルチプルビットライン(MBLn)の両先端に接続されると共にデータバス(i o < m > , ... , i o < n >)と連結され、前記センスアンプ40の出力をエンコーディングしてマルチビット信号を出力するデータI/Oエンコーダ50と、前記第1、第2セルアレイブロック20、30とデータI/Oエンコーダ50との間に配列される第1、第2参照セルアレイブロック60、70とから構成されている。

10 【0017】一方、前記第1、第2セルアレイブロック20、30はそれぞれ複数のサブセルアレイから構成されている。

【0018】図5は図4のセルアレイブロックで2ビットセルアレイを示す詳細回路図である。図5に示すように、ビットラインは大きく一つのサブビットライン(SBL)と3つのマルチプルビットライン(MBL1, MBL2, MBL3)とから構成されている。それぞれのMBL1, MBL2, MBL3はスイッチング制御ブロック80を介してSBLにそれぞれ連結されるようになっている。ここで、前記スイッチング制御ブロック80は、第1、第2、第3、第4スイッチングトランジスタ(80a, 80b, 80c, 80d)を含み、前記第1スイッチングトランジスタに第2、第3、第4スイッチングトランジスタは直列に連結される。

20 【0019】前記第1、第2、第3、第4スイッチングトランジスタ(80a, 80b, 80c, 80d)のゲートにはそれぞれ独立的にSBPD<0>, SBSW1<0>, SBSW2<0>, SBSW3<0>信号が印加され、これらの信号によって活性化されるようになっている。

30 【0020】一方、前記第1スイッチングトランジスタ80aはドレイン(又はソース)がSBLに連結され、ソース(又はドレイン)はSBLに供給する電源を調整する信号(BLPWR<0>)が印加され、ゲートにSBLプルダウン信号(SBPD<0>)が印加されるプルダウンNMOSスイッチ素子から構成されている。ここで、前記第1スイッチングトランジスタ80aはSBLの調整信号のSBPD信号が活性化されると、SBLをグラウンドレベル或いはハイレベルに調整する。

40 【0021】一方、前記第1スイッチングトランジスタ80aに外部から印加されるBLPWR信号は低電圧動作で高電圧を発生する時にVcc電圧より高い電圧を生成して供給する。そして、前記第2、第3、第4スイッチングトランジスタ80b, 80c, 80dの各ソース(又はドレイン)はSBLに連結され、各ドレイン(又はソース)はそれぞれMBL1, MBL2, MBL3に連結され、各ゲートにはそれぞれSBSW1<0>, SBSW2<0>, SBSW3<0>信号が印加されるNMOSTランジスタから構成されている。

【0022】すなわち、前記第2スイッチングトランジスタ80bのソースはSBLに連結され、ドレインはMBL1に連結され、ゲートにはSBSW1<0>信号が印加され、前記第3スイッチング80cのソースはSBLに連結され、ドレインはMBL2に連結され、ゲートにはSBSW2<0>信号が印加され、前記第3スイッチングトランジスタ80dのソースはSBLに連結され、ドレインはMBL3に連結され、ゲートにはSBSW3<0>信号が印加される。

【0023】また、SBLには複数個のセルが連結され、サブセルアレイブロック90を構成している。すなわち、前記サブセルアレイブロック90は、一方向に形成されるサブビットライン(SBL)と前記SBLに垂直な方向に形成されるワードライン(W/L<n>)とプレートライン(P/L<n>)とに連結される複数個のセルから構成されている。ここで、前記セルは、図示しないが、一つのトランジスタと一つの強誘電体キャパシタとから構成されている。

【0024】図6は図5の2ビットセルアレイのリード及びライト動作方法を説明するためのタイミング図である。まず、T0区間ではSBPDが「ハイ」で、BLPWRの「ロー」信号によってSBLが「ロー」にリセットされる。次いで、T1~T6区間ではSBPDが「ロー」で、SBLがフロート状態となる。次いで、T1/T4区間ではSBSW1信号が活性化されると、SBLとMBL1とが連結され、セルデータがT1/T4の間にのみMBL1へ伝達される。そして、T2/T5区間ではSBSW2信号が活性化されると、SBLとMBL2とが連結され、セルデータがT2/T5の間にのみMBL2へ伝達される。次いで、T3/T6区間ではSBSW3信号が活性化されると、SBLとMBL3とが連結され、セルデータがT3/T6の間にのみMBL3へ伝達される。ここで、T0~T3はリード区間であり、T4~T6はリードモードでは格納、ライトモードではライトするための区間である。

【0025】一方、本格納/ライト方法では、SBLに印加されるライト電圧を異なって制御することにより、セルに格納される電荷量を調整することになる。すなわち、2-ビット格納セルの場合、SBL電圧レベルを大きく4つの領域に分けてデータを格納する。すなわち、 $0 < Vw1 < Vw2 < Vw3$ の4-レベル電圧にセルデータを格納することになる。

【0026】図7は図4のセルアレイブロックでNビットセルアレイを示す詳細回路図である。図7に示すように、ビットラインは大きく1つのサブビットライン(SBL)とN個のマルチプルビットライン(MBL1, MBL2, ..., MBLn)とから構成されている。それぞれのマルチプルビットラインはスイッチング制御ブロック80を介してそれぞれSBLに連結されるようになっている。

【0027】ここで、前記スイッチング制御ブロック80は複数個のNMOSTランジスタが直列に連結されており、各トランジスタのゲートには独立的な制御信号(SBPD<0>, SBSW1<0>, SBSW2<0>, ..., SBSWn<0>)により活性化されるようになっている。すなわち、各トランジスタのソース(又はドレイン)はSBLに連結され、ドレイン(又はソース)はそれぞれマルチプルビットラインに連結され、各ゲートにはそれぞれSBSW1<0>, SBSW2<0>, SBSW3<0>, ...が印加されている。

【0028】一方、前記スイッチング制御ブロック80を構成する一番目のNMOSTランジスタのドレインはSBLに連結され、ソースは外部からSBLに供給する電源を調整する信号(BLPWR<0>)が印加され、ゲートにSBLプルダウン信号が印加され、SBLのレベルを調整するプルダウンNMOSTランジスタとして用いられる。ここで、前記プルダウンNMOSTランジスタでSBLの調整信号のSBPDの信号が活性化されると、SBLをグラウンドレベル或いはハイレベルに調整する。

【0029】一方、前記BLPWR<0>信号は低電圧で高電圧を発生する時にVcc電圧より高い電圧を生成して供給する。また、SBLには複数個のセルが連結され、サブセルアレイブロック90を構成している。すなわち、前記サブセルアレイブロック90は、一方向に形成されるサブビットライン(SBL)と前記SBLに垂直な方向に形成されるワードライン(W/L<n>)とプレートライン(P/L<n>)とに連結される複数個のセルから構成されている。ここで、前記セルは、図示しないが、一つのトランジスタと一つの強誘電体キャパシタとから構成されている。

【0030】図8は図7のNビットセルアレイのリード/ライト動作方法を示すタイミング図である。まず、T0区間ではSBPDがハイ区間として、BLPWRの「ロー」信号によってSBLが「ロー」にリセットされる。次いで、T1~Tm区間ではSBPDが「ロー」区間として、SBLがフロート状態となる。次いで、T1/T4区間でSBSW1信号が活性化されると、SBLとMBL1とが連結され、セルデータがT1/T4の間にのみMBL1へ伝達される。そして、T2/T5区間でSBSW2信号が活性化すると、SBLとMBL2とが連結され、セルデータがT2/T5の間にのみMBL2へ伝達される。次いで、T3/Tm区間でSBSWn信号が活性化すると、SBLとMBLnとが連結され、セルデータがT3/Tmの間にのみMBLnへ伝達される。

【0031】一方、T0~T3はリード区間であり、T4~Tmはリードモードでは格納、ライトモードではライトするための期間である。ここで、本格納/ライト方法では、SBLに印加されるライト電圧を異なって制御

することにより、セルに格納される電荷量を調整することになる。すなわち、N-ビット格納セルの場合、SBL電圧レベルを大きくN領域に分けてセルデータを格納する。すなわち、 $0 < V_{w1} < V_{w2} < \dots < V_{wN}$ のN-レベル電圧にセルデータを格納することになる。

【0032】図9は2-ビットセルアレイのリードモードでセル動作時間によるBL電圧の時間依存性を説明するための図面である。すなわち、BL電圧の時間依存性をそれぞれのSBSWを用いてそれぞれの時間区間に分けて、該区間で発生した電荷をそれぞれのMBLにそれぞれ分散させ、それぞれのレベルを検出する方法を説明するための図面である。

【0033】まず、T1区間でSBSW1信号が活性化すると、SBLと連結されるMBL1にセルデータがT1時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ01或いはデータ00を区別できる区間である。次いで、T2時間でSBSW2信号が活性化すると、SBLと連結されるMBL2にセルデータがT2時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ10或いはデータ01を区別できる区間である。そして、T3時間でSBSW3信号が活性化すると、SBLと連結されるMBL3にセルデータがT3時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ11或いはデータ10を区別できる区間である。

【0034】したがって、3つのMBLが全て「ハイ」であれば、2-ビットデータは11を出力し、2つのMBL、すなわち、MBL1、MBL2のみが「ハイ」であれば、2-ビットデータは10を出力し、1つのMBL、すなわち、MBLのみが「ハイ」であれば、2-ビットデータは01を出力し、3つのMBLが全て「ロー」であれば、2-ビットデータは00を出力する。

【0035】図10は本発明の2-ビットセルアレイのライトモードでセル格納電荷レベルのSBSW電圧依存性を説明するための図面である。図10に示すように、2-ビットデータ00をライトしようとする時は、セルにV0、すなわち、0電圧でライトし、01をライトしようとする時は、V1電圧でセルにライトする。また、10をライトしようとする時はV2電圧でセルにライトし、11をライトしようとする時はV3電圧でセルにライトする。

【0036】図11a～図11cは本発明の2-ビットセルのリードモードでセル動作時間によるMBL電圧の時間依存性を説明するための図面である。すなわち、図11a～図11cはMBL電圧の時間依存性はそれぞれのSBSWを用いてそれぞれの時間区間に分けて、その区間から発生した電荷をそれぞれのMBLにそれぞれ分散させた時、それぞれのMBLレベルを説明するための図面である。

【0037】まず、図9のT1区間では、図11aに示

すように、SBSW1信号が活性化すると、SBLと連結されるMBL1にセルデータがT1時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ01或いはデータ00を区別できるレベルが形成される。

【0038】次いで、T2区間では、図11bに示すように、SBSW2信号が活性化すると、SBLと連結されるMBL2にセルデータがT2時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ10或いはデータ01を区別できるレベルが形成される。

【0039】そして、T3区間では、図11cに示すように、SBSW3信号が活性化すると、SBLと連結されるMBL3にセルデータがT3時間の間にのみ伝達され、2つのレベルのセルデータ、すなわち、データ11或いはデータ10を区別できるレベルが形成される。この際、それぞれのMBLレベルは0Vに始まる。

【0040】図12は2-ビットセルアレイのリード/ライト工程処理のためのブロックダイアグラムである。図12に示すように、リード経路でそれぞれのMBLデータ(MBL1, MBL2, MBL3)は3つのS/A100に入力され、その3つのS/A100で増幅され、01, 10, 11をそれぞれ出力する。

【0041】次いで、前記3つのS/A100の出力はデータI/Oエンコーダ200に入力され、前記データI/Oエンコーダ200でエンコードされ、2-ビット信号のIO<1>とIO<2>をデータバスを介して出力する。逆に、ライト経路では前記データI/Oエンコーダ200の2-ビット信号のIO<1>とIO<2>がデータI/Oデコーダ300に入力され、そのデータI/Oデコーダ300から3つのMBL信号を出力する。

【0042】図13はN-ビット格納セルリード/ライト工程処理のためのブロックダイアグラムである。図13に示すように、リード経路でそれぞれのMBLデータ(MBL1, MBL2, ..., MBLm)は $2^N - 1$ 個のS/A100に入力され、前記 $2^N - 1$ 個のS/A100で増幅され出力される。

【0043】次いで、前記 $2^N - 1$ 個のS/A100の出力はデータI/Oエンコーダ200に入力され、前記データI/Oエンコーダ200でエンコーディングされ、N-ビット信号のIO<1>～IO<N>出力信号をデータバスを介して出力する。

【0044】逆に、ライト経路では前記データI/Oエンコーダ200のN-ビット信号のIO<1>～IO<N>がデータI/Oデコーダ300に入力され、そのデータI/Oデコーダ300で $2^N - 1$ 個のMBL信号を出力する。

【0045】

【発明の効果】以上説明したように、本発明による不揮発性強誘電体メモリ装置及びその駆動方法は次のような

11

効果がある。第一に、一つのセルレイアウト面積で複数の既存のセルレイアウトを代替することにより、全体的なセルレイアウトを減らすことができる。第二に、リードモード時にはセル特性の時間依存性を用い、ライトモード時にはライト電圧を用いることにより、動作が簡単となり且つコア回路の構成を簡素化させ得ることでチップサイズを減らすことができ、チップのコスト競争力を確保することができる。

【図面の簡単な説明】

【図1】一般的な強誘電体のヒステリシスループを示す特性図である。

【図2】従来の不揮発性強誘電体メモリ単位セルの構成図である。

【図3 a】従来の強誘電体メモリのライトモードの動作タイミング図である。

【図3 b】従来の強誘電体メモリのリードモードの動作タイミング図である。

【図4】本発明による不揮発性強誘電体メモリ装置を示す構成図である。

【図5】図4のセルアレイブロックで2ビットセルアレイを示す詳細回路図である。

【図6】図5の2ビットセルアレイのリード及びライト動作方法を示すタイミング図である。

【図7】図4のセルアレイブロックでNビットセルアレイを示す詳細回路図である。

12

【図8】図7のNビットセルアレイのリード／ライト動作方法を示すタイミング図である。

【図9】2-ビットセルアレイのリードモードでセル動作時間によるBL電圧の時間依存性を説明するための図面である。

【図10】本発明の2-ビットセルアレイのライトモードでセル格納電荷レベルのSBSW電圧依存性を説明するための図面である。

【図11】本発明の2-ビットセルのリードモードでセル動作時間によるMBL電圧の時間依存性を説明するための図面である。

【図12】2-ビットセルアレイのリード／ライト工程処理のためのブロックダイアグラムである。

【図13】N-ビット格納セルのリード／ライト工程処理のためのブロックダイアグラムである。

【符号の説明】

20：第1セルアレイブロック

30：第2セルアレイブロック

40：センスアンプ

50：データI/Oエンコーダ

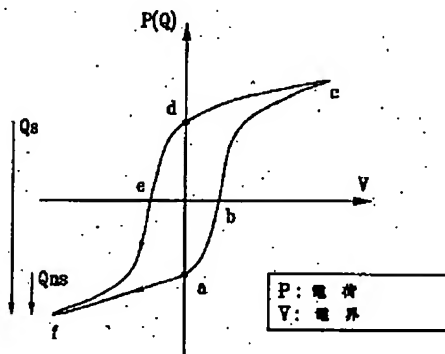
60：第1参照セルアレイブロック

70：第2参照セルアレイブロック

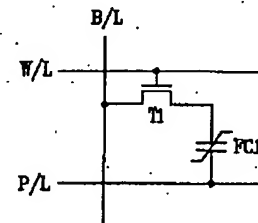
80：スイッチング制御ブロック

90：サブセルアレイブロック

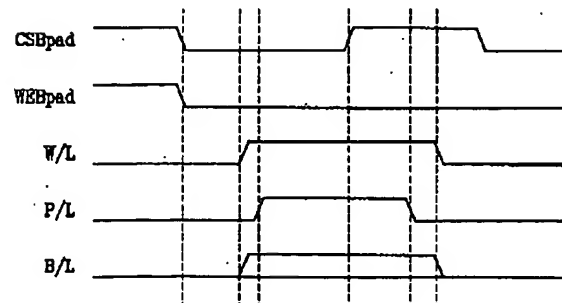
【図1】



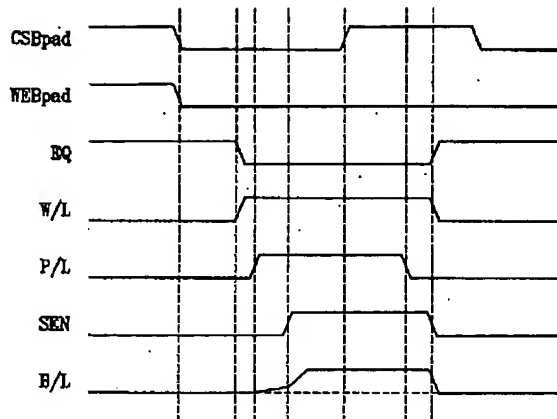
【図2】



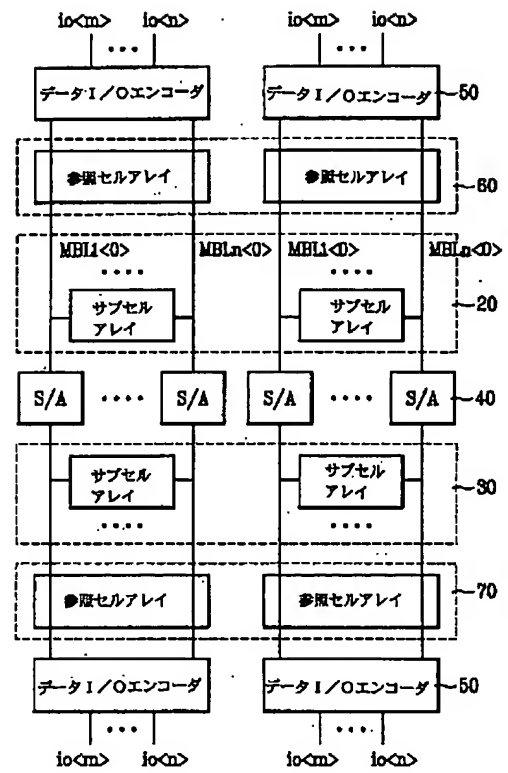
【図3 a】



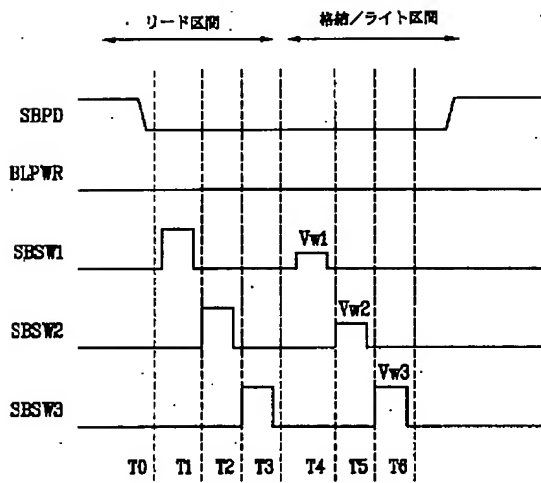
【図3b】



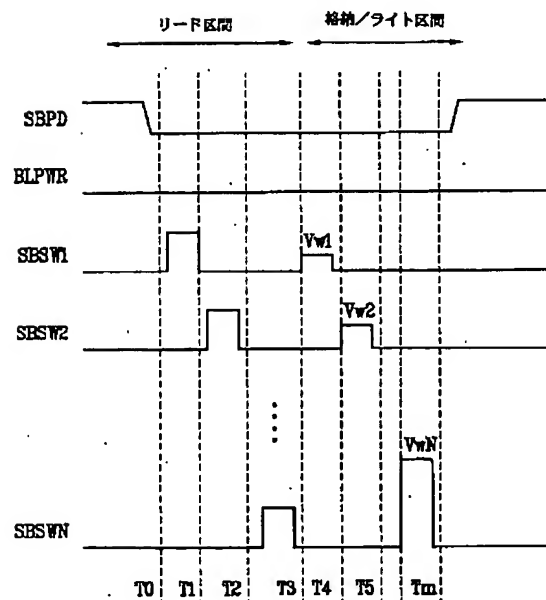
【図4】



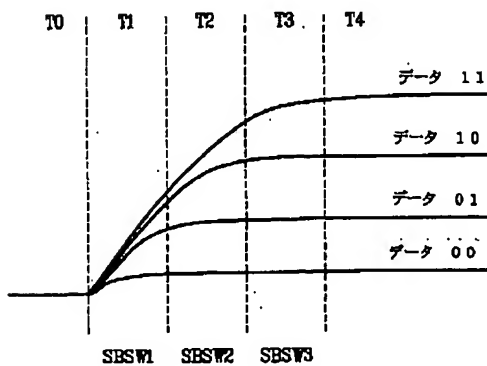
【図6】



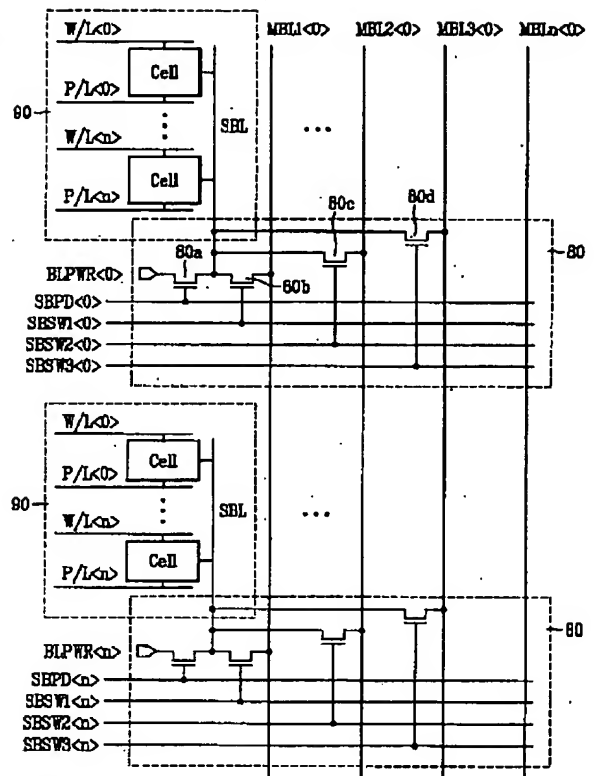
【図8】



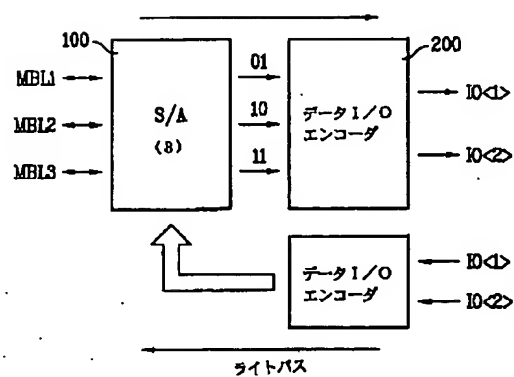
【図9】



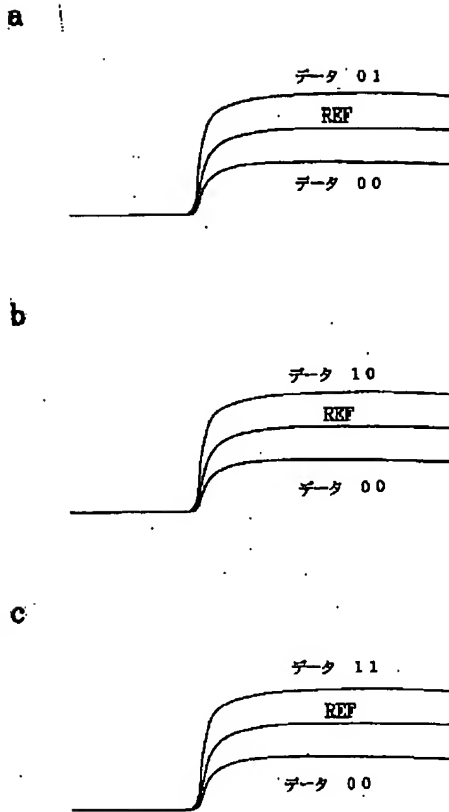
【図7】



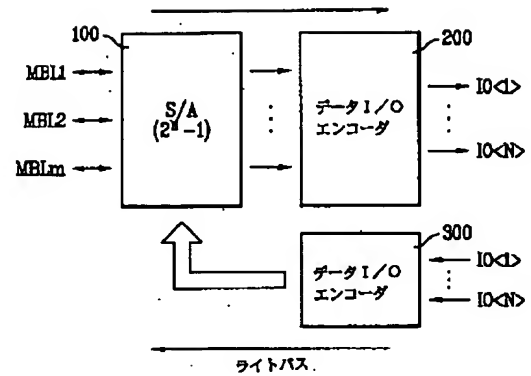
【图 12】



【図11】



【図13】



フロントページの続き

(72)発明者 キイ, フン・ウー
大韓民国・キョンギード・イチョンシー・
ブバルーエウブ・ウンガムーリ・97・イワ
アパートメント・101-1102
(72)発明者 イ, ゲウン・イル
大韓民国・キョンギード・ヨンギンシー・
キヘウングーエウブ・シンガルーリ・
159・トヒュンマエウル ヒュンダイ ア
パートメント・201-205

(72)発明者 バク, ジェ・フーン
大韓民国・キョンギード・ソンナムーシ・
アンダンーク・クムゴクードン・181・チ
ョンソルハンラ・307-1403
(72)発明者 キム, ジュン・ファン
大韓民国・ソウル・トンダエムンーク・タ
ブシムリ 5ードン・番地なし・サムヒー
アパートメント・5-903